

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-190179

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)7月31日

H 04 N 5/335
5/21
5/217

P-8420-5C
B-7170-5C

8420-5C 審査請求 未請求 請求項の数 5 (全11頁)

⑮ 発明の名称 雑音低減回路

⑯ 特 願 昭63-15416

⑰ 出 願 昭63(1988)1月26日

⑱ 発 明 者 西 澤 重 喜 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑲ 発 明 者 宮 沢 敏 夫 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑳ 発 明 者 竹 本 一 八 男 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 徳若 光政

明 細 書

1. 発明の名称

雑音低減回路

2. 特許請求の範囲

1. 一定周期で供給される入力信号を受けて上記周期以内の所定の時間遅延した遅延信号を形成する遅延回路と、上記入力信号と遅延信号とを加算する加算回路とを含み上記加算回路から出力信号を得ることを特徴とする雑音低減回路。
2. 上記遅延回路と加算回路とを単位回路として、複数個の単位回路が縦列形態に接続されてなることを特徴とする特許請求の範囲第1項記載の雑音低減回路。
3. 最終段の加算回路の出力には、積分回路が設けられ、上記入力信号と遅延信号との加算出力が出力される期間それを積分して出力信号を形成するものであることを特徴とする特許請求の範囲第1又は第2項記載の雑音低減回路。
4. 上記入力信号は、固体撮像素子により形成されるものであることを特徴とする特許請求の範囲

第1、第2又は第3項記載の雑音低減回路。

5. 上記固体撮像素子は、MOS型固体撮像素子であることを特徴とする特許請求の範囲第4項記載の雑音低減回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、雑音低減回路に関し、例えばMOS型固体撮像装置に用いられる音低減回路に利用して有効な技術に関するものである。

〔従来の技術〕

MOS型固体撮像素子におけるランダム雑音は、例えば第4図の特性A、Bのように周波数が高くなるほど雑音成分が増加するという、いわゆる三角雑音と呼ばれる雑音スペクトラムを示す。これは、主に信号の出力端子容量が他の素子に比べて大きいことに起因している。

MOS型固体撮像素子の雑音に関しては、例えば、ラジオ技術社昭和61年11月3日発行「CCDカメラ技術」竹村裕夫著、頁32がある。

〔発明が解決しようとする課題〕

ところで、高解像度の録画方式の録画装置においては、映像信号の帯域が広がるため、MOS型固体撮像素子を用いる場合、上記雑音が無視できなくなる。

この発明の目的は、簡単な構成でランダム雑音を効果的に低減できる雑音低減回路を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、一定周期で供給される入力信号と、上記周期以内の所定の時間遅延した遅延信号とを加算回路により加算して出力信号を得る。

〔作 用〕

上記した手段によれば、入力信号と遅延信号とを加算することによって、逆位相関係にある雑音成分を相殺ないし低減できる。

される。このような遅延回路DLYの具体的構成は、図示しないけれども、例えばインダクタンスや抵抗素子とを用いた遅延線により構成される。

この雑音低減回路においては、信号が一定周期で形成されることに着目して、上記一定周期内の遅延信号であれば、それと遅延信号とを加算しても信号が実質的に混合してしまうことがない。第3図の動作波形図において、信号Aとその遅延信号Bに含まれるランダム雑音のうち、上記遅延時間が半周期に相当する雑音が代表として例示的に示されているように、その位相が逆転するため加算出力Cにおいては、互いに逆相関係にある雑音成分は相殺されて零になる。すなわち、上記雑音低減回路では遅延時間を t とすると、カットオフ周波数 f_c が、 $f_c = 1/2t$ となるcos(コサイン)特性を持つ信号伝達特性を示す。例えば、上記遅延時間 t を70 nsに設定すると、カットオフ周波数 f_c は7.2 MHzとなる。

したがって、雑音スペクトラムは、第4図に示すように、上記AとBが共に周波数が高くなるほ

〔実施例〕

〔実施例1〕

第1図には、この発明に係る雑音低減回路を含む固体撮像装置の要部一実施例のブロック図が示されている。

固体撮像素子MIDは、特に制限されないが、MOS型撮像素子からなる。この固体撮像素子MIDの出力信号は、プリアンプPAを通して、次の雑音低減回路に供給される。プリアンプPAは、その具体的構成は図示しないけれども、帰還抵抗等を含む負帰還型アンプとされる。なお、上記のようなMOS型固体撮像素子MIDについては後に詳細に説明する。

上記プリアンプPAにより形成される信号Aは、一方において遅延回路DLYを介して加算回路ADDの一方の入力に供給され、他方においてそのまま上記加算回路の他方の入力に供給される。上記遅延回路DLYの遅延時間は、プリアンプPAから一定周期で出力される信号Aの1周期分以内であることを絶対条件とするおよそ半周期に設定

ど雑音成分が増加するという、いわゆる三角雑音を持つにも係わらず、加算出力Cは、cos曲線が乗じられるので上記カットオフ周波数 f_c で雑音が零になるcos曲線に対応して大幅に雑音成分を低減できる。例えば、上記のように遅延時間 t を70 nsに設定すると、カットオフ周波数 f_c は7.2 MHzとなるため、このような広帯域までの映像信号におけるランダム雑音を大幅に低減できるものとなる。

なお、図示しないけれども、上記雑音低減回路を基本構成としてそれを拡張するものであってもよい。すなわち、上記遅延回路DLYを複数個設けて、それぞれの遅延回路DLYの遅延時間、言い換えるならば、カットオフ周波数を異ならせる構成にすれば、それぞれのカットオフ周波数に対応した周波数成分の雑音を低減できるから、全体としての伝達特性は、複数のcos曲線に上記三角雑音を乗じたものが得られる。この結果、出力信号Cにおける帯域全体としてほぼ均一にランダム雑音を低減できるものとなる。あるいは、遅延回

路と加算回路を単位回路として、各単位回路のそれぞれの遅延回路の遅延時間を上記のように異ならせて、複数の単位回路を縦列接続しても、上記のように信号帯域全体にわたってランダム雑音を低減させることができる。

(実施例2)

第2図には、この発明に係る雑音低減回路の他の一実施例のブロック図が示されている。

上記第1図の実施例においては、信号の加算処理により、第3図の出力信号Cのように、MTF (Modulation Transfer Function)も低下する。MTFは、解像度の目安となるため、上記第1図の回路では解像度の点で改良の余地がある。

そこで、この実施例では、第2図に示すように、加算回路ADDの出力側に、積分回路IGを設けて、出力信号Voutを形成する。すなわち、上記固体撮像素子からの信号は、一定周期で出力されるから、積分用パルスSPにより上記信号AとBが出力される期間、その加算出力Cを積分するとともに、もとの一定周期で出力させるものである。

下するので、積分回路を設けることの意義が大きくなる。

第5図には、上記加算回路ADDと積分回路IGの一実施例の回路図が示されている。

加算回路ADDは、抵抗回路により構成される。すなわち、加算用の入力抵抗R01とR02を通して上記遅延信号Bと信号Aとがジャンクション型FET (以下、単にトランジスタと称する) Q01のゲートに供給される。このトランジスタQ01は、積分回路IGの初段増幅トランジスタを兼ねている。このトランジスタQ01のドレインと電源電圧Vccとの間には、負荷抵抗R1が設けられる。上記トランジスタQ01のソースと回路の接地電位点との間には、バイアス電圧を形成するPNP型トランジスタT1と、キャパシタC01とが並列に設けられる。上記トランジスタT1のベースには、電源電圧Vccと回路の接地電位点との間に直列形態にされた抵抗R2とR3により形成される分圧電圧が供給される。これによって、上記トランジスタQ01のソースには、上記分圧

この構成においては、第3図に示すように、出力信号Voutが、上記加算動作による信号Cのように広がりの無い信号にできるから、上記MTFの低下を防止することができる。言い換えるならば、高解像度を維持することができる。また、積分動作に伴い、信号Cのcos特性にSINC関数 ($\sin X / X$) が乗じられるため、出力信号Voutの雑音スペクトラムは、第4図のようになる。ここで、出力信号Voutの雑音スペクトラムには、積分動作の際の折り返し雑音を含むものである。

このように積分回路を出力段に設ける構成は、前記のように遅延回路DLYを複数個設けて、それぞれの遅延回路DLYの遅延時間、言い換えるならば、カットオフ周波数を異ならせる構成にするもの、あるいは、遅延回路と加算回路を単位回路として、各単位回路のそれぞれの遅延回路の遅延時間を上記のように異ならせて、複数の単位回路を縦列接続するものにも同様に適用できる。このように複数の加算出力が得られるときには、それに応じて信号が平坦になりMTFが大きく低

電圧をトランジスタT1のベース、エミッタ間電圧V_{BE}だけレベルシフトしたバイアス電圧が与えられる。

上記トランジスタQ01のドレインから得られる出力信号は、PNP型の増幅トランジスタT3のベースに供給される。この増幅トランジスタT3のコレクタと回路の接地電位点との間には、負荷抵抗R5が設けられる。また、上記増幅トランジスタT3のエミッタと電源電圧Vccとの間には、エミッタ抵抗R4と上記同様にバイアス電圧を形成するNPNトランジスタT2が直列に設けられる。上記トランジスタT2のベースには、上記同様な抵抗R6とR7から構成される分圧回路により形成される分圧電圧が供給される。これによって、トランジスタT2は、上記分圧電圧をそのベース、エミッタ間電圧V_{BE}だけレベルシフトした電圧を形成する。

上記増幅トランジスタT3のコレクタから得られる出力信号は、NPN型の増幅トランジスタT4のベースに供給される。このトランジスタT4

のエミッタと回路の接地電位点との間には、エミッタ抵抗 R_8 と PNP トランジスタ T_5 及び分圧抵抗 R_9 、 R_{10} からなる上記類似のバイアス回路が設けられる。

以上の各回路素子は積分回路の入力段回路（兼加算回路）を構成し、上記増幅トランジスタ T_4 はその出力トランジスタとされる。このトランジスタ T_4 のコレクタは、積分パルス SP によりスイッチ制御される伝送ゲート MOSFET（絶縁ゲート型電界効果トランジスタ） Q_3 を介して積分回路を構成するキャパシタ C_2 の一方の電極に接続される。上記キャパシタ C_2 の他方の電極は回路の接地電位点に結合される。

上記キャパシタ C_2 の一方の電極は、プリチャージパルス（出力パルス） PC を受けるスイッチ MOSFET Q_2 を介して信号電荷の読み出しとリセット（プリチャージ）を行う抵抗 R_{11} に接続される。この抵抗 R_{11} は他方の端子が電源電圧 V_{cc} に接続される。

上記抵抗 R_{11} の電圧降下により形成される信

号、言い換えるならば、上記キャパシタ C_2 の信号電荷の読み出し信号は、NP N 型の増幅トランジスタ T_6 のベースに供給される。このトランジスタ T_6 は、そのコレクタが電源電圧 V_{cc} に結合され、そのエミッタに負荷抵抗抵抗 R_{12} が設けられることによってエミッタフォロウ出力回路を構成し、上記積分出力としての出力信号 V_{out} を形成する。

この実施例の積分回路では、上記信号 A と B とが出力される期間、積分パルス SP をハイレベルにしておいて、スイッチ MOSFET Q_3 をオン状態にする。これにより、キャパシタ C_2 にプリチャージされた電荷は、上記入力段増幅回路の出力信号に応じたディスチャージ動作が行われる。言い換えるならば、入力段回路の出力信号はキャパシタ C_2 に蓄えられることによって積分動作が行われる。このとき、例えば、交流的極性が正／負対称なクロックノイズがあれば、その積分動作により相殺できる。この後、積分パルス SP をロウレベルにして上記スイッチ MOSFET

Q_3 をオフ状態にし、プリチャージパルス PC をハイレベルにしてスイッチ MOSFET Q_2 をオン状態にすると、キャパシタ C_2 からディスチャージされた電荷量は、上記加算信号 C ($A+B$) の積分に対応したものとされる。この構成では、上記スイッチ MOSFET Q_2 のオン状態によりプリチャージ動作が行われて、信号積分量に相当する電荷量（ノイズ積分量も含む）に相当する電荷量（直流成分）とを揃うような電流が抵抗 R_{11} から流れ、積分信号の出力動作と次の積分動作のためのプリチャージが行われる。上記のような信号電流は、抵抗 R_{11} により電圧信号に変換されてエミッタフォロウ出力トランジスタにより電流増幅され、出力信号 V_{out} として出力される。

上記スイッチ MOSFET Q_3 によりオン状態により積分動作を制御する構成に代えて、非積分期間のときトランジスタ T_4 のベースに強制的に回路の接地電位を与えるようなスイッチングトランジスタ等を設ける構成としてもよい。

上記のように積分回路として、2つのパルス (SP 、 PC) を用いる構成では、積分期間と出力期間を任意に設定できる。回路の簡素化を図るために積分パルス SP の反転信号を形成して上記スイッチ MOSFET Q_2 のゲートに供給する構成としてもよい。

第6図には、この発明に係る雑音低減回路に好適な固体撮像素子 MID の一実施例の回路図が示されている。

この実施例の固体撮像素子は、特に制限されないが、感度可変機能を持つ TSL (Transversal Signal Line) 方式のものである。

同図の各回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。同図の主要なブロックは、実際の半導体集積回路装置における幾何学的な配置に合わせて描かれている。

画素アレイ PD は、4行、2列分が代表として例示的に示されている。但し、図面が複雑化され

てしまうのを防ぐために、上記4行分のうち、2行分の画素セルに対してのみ回路記号が付加されている。1つの画素セルは、フォトダイオードD1と垂直走査線VL1にそのゲートが結合されたスイッチMOSFETQ1と、水平走査線HL1にそのゲートが結合されたスイッチMOSFETQ2の直列回路から構成される。上記フォトダイオードD1及びスイッチMOSFETQ1、Q2からなる画素セルと同じ行(水平方向)に配置される他の同様な画素セル(D2、Q3、Q4)等の出力ノードは、同図において横方向に延長される水平信号線HS1に結合される。他の行についても上記同様な画素セルが同様に結合される。

例示的に示されている水平走査線HL1は、同図において縦方向に延長され、同じ列に配置される画素セルのスイッチMOSFETQ2、Q6等のゲートに共通に結合される。他の列に配置される画素セルも上記同様に対応する水平走査線HL2等に結合される。

この実施例では、特に制限されないが、固体撮

像装置に対して実質的な電子式の自動絞り機能を付加するため、言い換えるならば、フォトダイオードに対する実質的な蓄積時間を可変にするため、上記画素アレイを構成する水平信号線HS1ないしHS4等の両端に、それぞれスイッチMOSFETQ8、Q9及びQ26、Q28が設けられる。右端側に配置される上記スイッチMOSFETQ8、Q9は、上記水平信号線HS1、HS2をそれぞれ縦方向に延長される出力線VSに結合させる。この出力線VSは、端子Sに結合され、この端子Sを介して外部に設けられるプリアンプの入力に読み出し信号が伝えられる。また、左端側に配置される上記スイッチMOSFETQ26、Q28は、上記水平信号線HS1、HS2をそれぞれ縦方向に延長されるダミー(リセット)出力線DVSに結合させる。この出力線DVSは、特に制限されないが、端子RVに結合される。これによって必要なら上記ダミー出力線DVSの信号を外部端子RVから送出できるようにしている。

上記各行の水平信号線HS1ないしHS4には、像装置に対して実質的な電子式の自動絞り機能を付加するため、言い換えるならば、フォトダイオードに対する実質的な蓄積時間を可変にするため、上記画素アレイを構成する水平信号線HS1ないしHS4等の両端に、それぞれスイッチMOSFETQ8、Q9及びQ26、Q28が設けられる。右端側に配置される上記スイッチMOSFETQ8、Q9は、上記水平信号線HS1、HS2をそれぞれ縦方向に延長される出力線VSに結合させる。この出力線VSは、端子Sに結合され、この端子Sを介して外部に設けられるプリアンプの入力に読み出し信号が伝えられる。また、左端側に配置される上記スイッチMOSFETQ26、Q28は、上記水平信号線HS1、HS2をそれぞれ縦方向に延長されるダミー(リセット)出力線DVSに結合させる。この出力線DVSは、特に制限されないが、端子RVに結合される。これによって必要なら上記ダミー出力線DVSの信号を外部端子RVから送出できるようにしている。

上記各行の水平信号線HS1ないしHS4には、

り出すものであるため、出力される画像信号に含まれる偽信号を大幅に低減できる。

上記水平走査線HL1ないしHL2等には、水平シフトレジスタHSRにより形成された水平走査信号が供給される。

上記画素アレイPDにおける垂直選択動作(水平走査動作)を行う走査回路は、次の各回路により構成される。

この実施例では、上記画素アレイPDの水平信号線HS1ないしHS4等の両端に、一対のスイッチMOSFETQ8、Q9等及びスイッチMOSFETQ26、Q28等が設けられることに対応して一対の走査回路が設けられる。

産業用途にも適用可能とするため、インタレースモードの他に選択的な2行同時走査、ノンインタレースモードでの走査機能が付加されている。画素アレイPDの右側には、次のような走査回路が設けられる。垂直シフトレジスタVSRは、読み出し用に用いられる出力信号SV1、SV2等を形成する。これらの出力信号SV1、SV2等

は、インタレースゲート回路ITG及び駆動回路VDを介して上記垂直走査線VL1ないしVL4及びスイッチMOSFETQ8、Q9等のゲートに供給される。

上記インタレースゲート回路ITGは、インタレースモードでの垂直選択動作(水平走査動作)を行うため、第1(奇数)フィールドでは、垂直走査線VL1ないしVL4には、隣接する垂直走査線VL1、VL2とVL3の組み合わせで同時選択される。すなわち、奇数フィールド信号FAによって制御されるスイッチMOSFETQ18により、垂直シフトレジスタVSRの出力信号SV1は、水平信号線HS1を選択する垂直走査線VL1に出力される。同様に、信号FAによって制御されるスイッチMOSFETQ20とQ22によって、垂直シフトレジスタVSRの出力信号SV2は、水平信号線HS2とHS3を同時選択するよう垂直走査線VL2とVL3に出力される。以下同様な順序の組み合わせからなる一対の水平信号線の選択信号が形成される。

スイッチMOSFETQ14とQ15のゲートに供給される。これらのスイッチMOSFETQ14とQ15の共通化されたドレイン電極は、端子V3に結合される。上記スイッチMOSFETQ14は、端子V3から供給される信号を上記垂直走査線VL1に供給する。また、スイッチMOSFETQ15は、上記端子V3から供給される信号を水平信号線HS1を出力線VSに結合させるスイッチMOSFETQ8のゲートに供給される。また、出力信号のハイレベルがスイッチMOSFETQ14、Q15によるしきい値電圧分だけ低下してしまうのを防止するため、特に制限されないが、MOSFETQ14のゲートと、MOSFETQ15の出力側(ソース側)との間にキャパシタC1が設けられる。これによって、インタレースゲート回路ITGからの出力信号がハイレベルにされると、端子V3の電位をロウレベルにしておいてキャパシタC1にプリチャージを行う。この後、端子V3の電位をハイレベルにすると、キャパシタC1によるブートストラップ作用によ

第2(偶数)フィールドでは、垂直走査線VL1ないしVL4には、隣接する垂直走査線VL1とVL2及びVL3とVL4の組み合わせで同時選択される。すなわち、偶数フィールド信号FBによって制御されるスイッチMOSFETQ19とQ21により、垂直シフトレジスタVSRの出力信号SV1は、水平信号線HS1とHS2を選択する垂直走査線VL1とVL2に出力される。同様に、信号FBによって制御されるスイッチMOSFETQ23とQ25によって、垂直シフトレジスタVSRの出力信号SV2は、水平信号線HS3とHS4を同時選択するよう垂直走査線VL3とVL4に出力される。以下同様な順序の組み合わせからなる一対の水平信号線の選択信号が形成される。

上記のようなインタレースゲート回路ITGと、次の駆動回路DVとによって、以下に説明するような複数種類の水平走査動作が実現される。

上記1つの垂直走査線VL1に対応されたインタレースゲート回路ITGからの出力信号は、ス

って上記MOSFETQ14及びQ15のゲート電圧を昇圧させることができる。

上記垂直走査線VL1に隣接する垂直走査線VL2に対応されたインタレースゲート回路ITGからの出力信号は、スイッチMOSFETQ16とQ17のゲートに供給される。これらのスイッチMOSFETQ16とQ17の共通化されたドレイン電極は、端子V4に結合される。上記スイッチMOSFETQ16は、端子V4から供給される信号を上記垂直走査線VL2に供給する。スイッチMOSFETQ17は、上記端子V4から供給される信号を水平信号線HS2を出力線VSに結合させるスイッチMOSFETQ9のゲートに供給される。出力信号のハイレベルがスイッチMOSFETQ16、Q17によるしきい値電圧分だけ低下してしまうのを防止するため、MOSFETQ16のゲートとMOSFETQ17の出力側(ソース側)との間にキャパシタC2が設けられる。これによって、上記同様なタイミングで端子V4の電位を変化させることによりキャパシ

タC2によるブートストラップ作用によって上記MOSFETQ16及びQ16のゲート電圧を昇圧させることができる。

上記端子V3は、奇数番目の垂直走査線（水平信号線）に対応した駆動用のスイッチMOSFETに対して共通に設けられ、端子V4は偶数番目の垂直走査線（水平信号線）に対して共通に設けられる。

以上のことから理解されるように、端子V3とV4に択一的にタイミング信号を供給すること及び上記インタレースゲート回路ITGによる2行同時選択動作との組み合わせによって、インタレースモードによる読み出し動作が可能になる。例えば、端子FAがハイレベルにされる奇数フィールドのとき、端子V4をロウレベルにしておいて、端子V3に上記垂直シフトレジスタVSRの動作と同期したタイミング信号を供給することによって、垂直走査線（水平信号線）をVL1（HS1）、VL3（HS3）の順に選択することができる。また、端子FBがハイレベルにされる偶数

フィールドのとき、端子V3をロウレベルにしておいて、端子V4に上記垂直シフトレジスタVSRの動作と同期したタイミング信号を供給することによって、垂直走査線（水平信号線）をVL2（HS2）、VL4（HS4）の順に選択することができる。

一方、上記端子V3とV4を同時に上記同様にハイレベルにすれば、上記インタレースゲート回路ITGからの出力信号に応じて、2行同時走査を行うことができる。この場合、上記のように2つのフィールド信号FAとFBによる2つの画面毎に出力される2つの行の組み合わせが1行分上下にシフトされることにより、空間的重心の上下シフト、言い換えるならば、等価的なインタレースモードが実現される。

さらに、例えば端子FBのみをハイレベルにして、1つの垂直走査タイミングで水平シフトレジスタHSRを2回動作させて、それに同期して端子V3とV4をハイレベルにさせることによって、VL1、VL2、VL3、VL4の順のようにノ

ンインタレースモードでの選択動作を実現できる。この場合、より高画質とするために、水平シフトレジスタHSR及び垂直シフトレジスタVSRに供給されるクロックが2倍の周波数にされることが望ましい。すなわち、端子H1とH2及び端子V1とV2から水平シフトレジスタHSR及び垂直シフトレジスタVSRに供給されるクロック信号の周波数を2倍の高い周波数にすることによって、1秒間に60枚の画像をノンインタレース方式により読み出すことができる。なお、端子HIN及びVINは、上記シフトレジスタHSR、VSRによってそれぞれシフトされる入力信号を供給する端子であり、入力信号が供給された時点からシフト動作が開始される。このため、上記インタレースゲート回路ITG及び入力端子V3、V4に供給される入力信号の組み合わせによって、上記2行同時読み出し、インタレース走査、ノンインタレース走査等を行う場合には、出力信号の垂直方向の上下関係が逆転せぬよう、上記シフトレジスタVSRの入力信号の供給の際に、タイミ

ング的な配慮が必要である。

上記各垂直走査線VL1及びそれに対応したスイッチMOSFETQ8のゲートと回路の接地電位点との間には、リセット用MOSFETQ10とQ11が設けられる。これらのリセット用MOSFETQ10とQ11は、他の垂直走査線及びスイッチMOSFETに対応して設けられるリセット用MOSFETと共通に端子V2から供給されるクロック信号を受けて、上記選択状態の垂直走査線及びスイッチMOSFETのゲート電位を高速にロウレベルに引き抜くものである。この実施例では、前述のように感度可変機能を付加するために、感度制御用の垂直シフトレジスタVSR、インタレースゲート回路ITG及び駆動回路DVEが設けられる。これらの感度制御用の各回路は、特に制限されないが、上記画素アレイPDに対して、左側に配置される。これらの垂直シフトレジスタVSR、インタレースゲート回路ITG及び駆動回路DVEは、上記読み出し用の垂直シフトレジスタVSR、インタレースゲー

ト回路ITG及び駆動回路DVと同様な回路により構成される。端子V1EないしV4E及びVIN並びにFAE, ABEからそれぞれ上記同様なタイミング信号が供給される。この場合、上記読み出し用の垂直シフトレジスタVSRと上記感度可変用の垂直シフトレジスタVSR Eとを同期したタイミングでのシフト動作を行わせるため、端子V1EとV1及びV2EとV2には、同じクロック信号が供給される。したがって、上記端子V1EとV1及びV2EとV2とは、内部回路により共通化するものであってもよい。上記のように独自の端子V1E及びV2Eを設けた理由は、この固体撮像装置を手動絞りや従来の機械的絞り機能を持つテレビジョンカメラに適用可能にするためのものである。このように感度可変動作を行わない場合、上記端子V1E及びV2Eを回路の接地電位のようなロウレベルにすること等によって、上記垂直シフトレジスタVSR Eの無駄な消費電力の発生をおさえるよう配慮されている。

次に、この実施例の固体撮像装置における感度

制御動作を説明する。

説明を簡単にするために、上記ノンインタレースモードによる垂直走査動作を例にして、以下説明する。例えば、感度制御用の垂直シフトレジスタVSR E、インタレースゲート回路ITGE及び駆動回路DVEによって、読み出し用の垂直シフトレジスタVSR、インタレースゲート回路ITG及び駆動回路DVによる第1行目(垂直走査線VL1、水平信号線HS1)の読み出しに並行して、第4行目(垂直走査線VL4、水平信号線HS4)の選択動作を行わせる。これによって、水平シフトレジスタHSRにより形成される水平走査線HL1, HL2等の選択動作に同期して、出力信号線VSには第1行目におけるフォトダイオードD1、D2等に蓄積された光信号が時系列的に読み出される。この読み出し動作は、端子Sから負荷抵抗を介した上記光信号に対応した電流の供給によって行われ、読み出し動作と同時にプリチャージ(リセット)動作が行われる。同様な動作が、第4行目におけるフォトダイオードにお

いても行われる。この場合、上記のような感度可変用の走査回路(VSR E, ITGE, DVE)によって、第4行目の読み出し動作は、ダミー出力線DVSに対して行われる。感度制御動作のみを行う場合、端子RVには端子Sと同じバイアス電圧が与えられている。これによって、第4行目の各画素セルに既に蓄積された光信号の掃き出し、言い換えるならば、リセット動作が行われる。

したがって、上記垂直走査動作によって、読み出し用の垂直シフトレジスタVSR、インタレースゲート回路ITG及び駆動回路DVによる第4行目(垂直走査線VL4、水平信号線HS4)の読み出し動作は、上記第1行ないし第3行の読み出し動作の後に行われるから、第4行目に配置される画素セルのフォトダイオードの蓄積時間は、3行分の画素セルの読み出し時間となる。

上記に代えて、感度制御用の垂直シフトレジスタVSR E、インタレースゲート回路ITGE及び駆動回路DVEによって、読み出し用の垂直シフトレジスタVSR、インタレースゲート回路I

TG及び駆動回路DVによる第1行目(垂直走査線VL1、水平信号線HS1)の読み出しに並行して、第2行目(垂直走査線VL2、水平信号線HS2)の選択動作を行わせる。これによって、水平シフトレジスタHSRにより形成される水平走査線HL1, HL2等の選択動作に同期して、出力信号線VSには第1行目におけるフォトダイオードD1、D2等に蓄積された光信号が時系列的に読み出される。この読み出し動作は、端子Sから負荷抵抗を介した上記光信号に対応した電流の供給によって行われ、読み出し動作と同時にプリチャージ(リセット)動作が行われる。同様な動作が、第2行目におけるフォトダイオードD3、D4等においても行われる。これによって、上記第1行目の読み出し動作と並行して第2行目の各画素セルに既に蓄積された光信号の掃き出し動作が行われる。したがって、上記垂直走査動作によって、読み出し用の垂直シフトレジスタVSR、インタレースゲート回路ITG及び駆動回路DVによる第2行目(垂直走査線VL2、水平信号線

H S 2) の読み出し動作は、上記第 1 行の読み出し動作の後に行われるから、第 2 行目に配置される画素セルのフォトダイオードの蓄積時間は、1 行分の画素セルの読み出し時間となる。これによって、上記の場合に比べて、フォトダイオードの実質的な蓄積時間を $1/3$ に減少させること、言い換えるならば、感度を $1/3$ に低くできる。

上述のように、感度制御用の走査回路によって行われる先行する垂直走査動作によってその行の画素セルがリセットされるから、そのリセット動作から上記読み出し用の走査回路による実際の読み出しが行われるまでの時間が、フォトダイオードに対する蓄積時間とされる。したがって、525 行からなる画素アレイにあっては、上記両垂直走査回路による異なるアドレス指定と共通の水平走査回路による画素セルの選択動作によって、1 行分の読み出し時間を単位（最小）として最大 525 までの多段階にわたる蓄積時間、言い換えるならば、525 段階にわたる感度の設定を行うことができる。ただし、受光面照度の変化が、上記

1 画面を構成する走査時間に対して無視でき、実質的に一定の光がフォトダイオードに入射しているものとする。なお、最大感度 (525) は、上記感度制御用の走査回路は非動作状態のときに得られる。

上記水平走査線 H L 1, H L 2 等に対して、ダイオード接続された MOSFET Q 30, 31 等を介して外部端子 S P から強制的に全水平走査線を選択状態にさせる機能が付加される。上記端子 S P をハイレベルにすると、水平シフトレジスタ H S R の動作に無関係に、ダイオード形態の MOSFET Q 30, Q 31 等が全てオン状態になって全水平走査線 H L 1, H L 2 等にハイレベルを供給して選択状態にさせることができる。上記ダイオード形態の MOSFET Q 30, Q 31 等のような一方向性素子を介して上記選択レベルを供給するものであるため、上記端子 S P をローレベルにすれば、上記 MOSFET Q 30, Q 31 等はオフ状態を維持する。これによって、上記のような強制的な同時選択回路を設けても、水平シフ

トレジスタ H S R のシフト動作に従った水平走査線 H L 1, H L 2 等が時系列的に選択レベルにされる動作の妨げになることはない。

なお、水平シフトレジスタ H S R が、ダイナミック型回路により構成される等によって、上記のような強制的な水平走査線 H L 1, H L 2 等の選択レベルによってそのシフト動作に悪影響が生じるなら、上記選択レベルが水平シフトレジスタ H S R の内部に伝わらないようなスイッチ回路等が付加される。

上記水平走査線 H L 1, H L 2 等の同時選択動作を後述するような水平帰線期間により行われるとともに、上記先行する垂直走査を開始させる。これにより、上記リセットさせるべき行の全画素の信号を予め強制的にリセットさせることができる。したがって、上記水平シフトレジスタ H S R による水平走査線の選択動作に伴い画素信号の読み出しにおいて、先行する行からは実質的に画素信号が出力されない。これによって、上記基板等を介した容量結合が存在しても読み出し信号には

ゴーストのようなノイズが現れなくできる。

このような MOS 型固体撮像素子では、上記のように信号の読み出し系における寄生容量が比較的大きくされる結果、前記のようなランダム雑音（三角雑音）を持つ。それ故、この発明に係る雑音低減回路を用いることによって、高品質の画像信号を得ることができる。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

- (1) 一定周期で供給される入力信号と、上記周期以内の所定の時間遅延した遅延信号とを加算回路により加算するという簡単な構成により、逆位相関係にある雑音成分を相殺ないし低減できるという効果が得られる。
- (2) 上記遅延時間が異なる複数の遅延信号を加算することにより、より広帯域にわたるランダム雑音を低減できるという効果が得られる。
- (3) 上記加算回路の出力部に積分回路を設けることにより、単なる加算出力のように広がりの無い信号にできるから、雑音除去とともに M T F の低下

を防止することができるという効果が得られる。
 (4) 上記雑音低減回路をMOS型固体撮像素子を用いた撮像装置に適用することにより、信号の周波数が高くなるに従って増加するランダム雑音を大幅に低減できるから、高品質の映像信号を得ることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、加算回路は、前記のような抵抗加算回路を用いるものの他、演算増幅回路を利用したアナログ加算回路等何であってもよい。また、積分回路の具体的構成も、タイミングパルスによりその積分時間が設定可能なものであれば何であってもよい。

この発明に係る雑音低減回路が用いられるMOS型固体撮像素子の構成は、前記感度可変機能を省略してもよい。CCD型固体撮像素子等のようにランダム雑音スペクトラムがほぼ平坦なもので

あっても、この発明に係る雑音低減回路を用いることにより、S/N比の改善を図ることができる。固体撮像素子としては上記のようなエリアセンサの他ラインセンサであってもよい。

この発明は、MOS型やCCD型に代表されるような各種固体撮像素子のように一定周期で出力される信号に対するランダム雑音低減回路として広く利用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、一定周期で供給される入力信号と、上記周期以内の所定の時間遅延した遅延信号とを加算回路により加算するという簡単な構成により、逆位相関係にあるランダム雑音成分を相殺ないし低減できる。また、加算回路の出力部に積分回路を設けることにより、雑音除去とともに加算によるMTFの低下を防止することができる。

4. 図面の簡単な説明

第1図は、この発明に係る雑音低減回路を含む撮像装置一実施例を示す要部ブロック図、

第2図は、この発明に係る雑音低減回路を含む撮像装置の他の一実施例を示す要部ブロック図、

第3図は、その動作の一例を説明するための波形図、

第4図は、この発明を説明をするための雑音スペクトラム特性図、

第5図は、上記雑音低減回路に用いられる加算回路と積分回路の一実施例を示す具体的回路図、

第6図は、上記雑音低減回路が用いられる固体撮像素子の一実施例を示す回路図である。

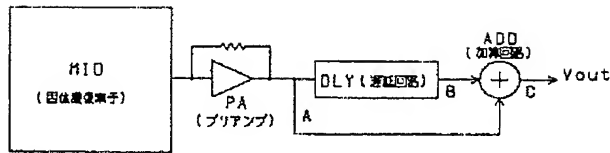
MID・・・固体撮像素子、PA・・・プリアンプ、DLY・・・遅延回路、ADD・・・加算回路、IG・・・積分回路、

PD・・・画素アレイ、VSR・・・読み出し用垂直シフトレジスタ、ITG・・・読み出し用インタレースゲート回路、DV・・・読み出し用駆動回路、VSRE・・・感度設定用垂直シフトレジスタ、ITGE・・・感度設定用インタレースゲート回路、

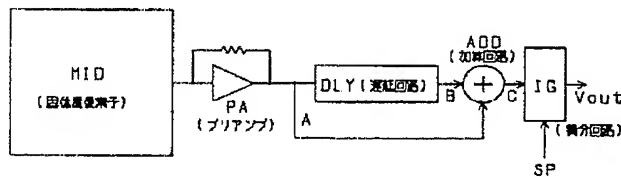
DVE・・・感度設定用駆動回路、HSR・・・水平シフトレジスタ、

代理人弁理士 徳若 光政

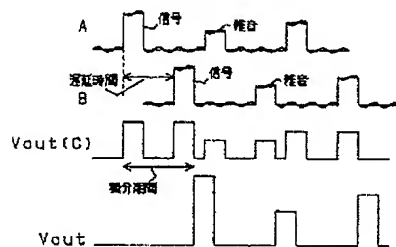
第 1 図



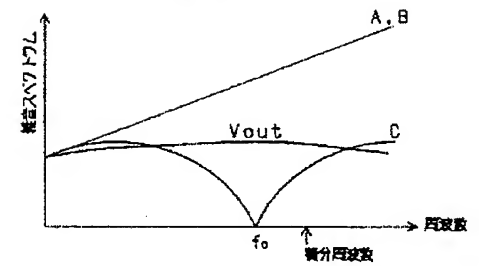
第 2 図



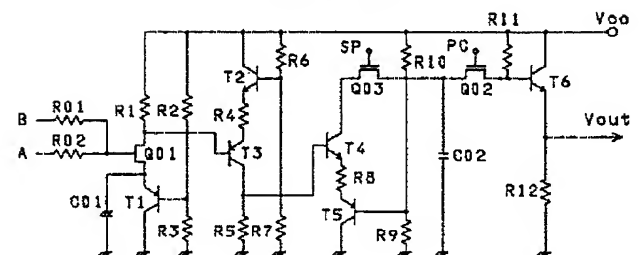
第 3 図



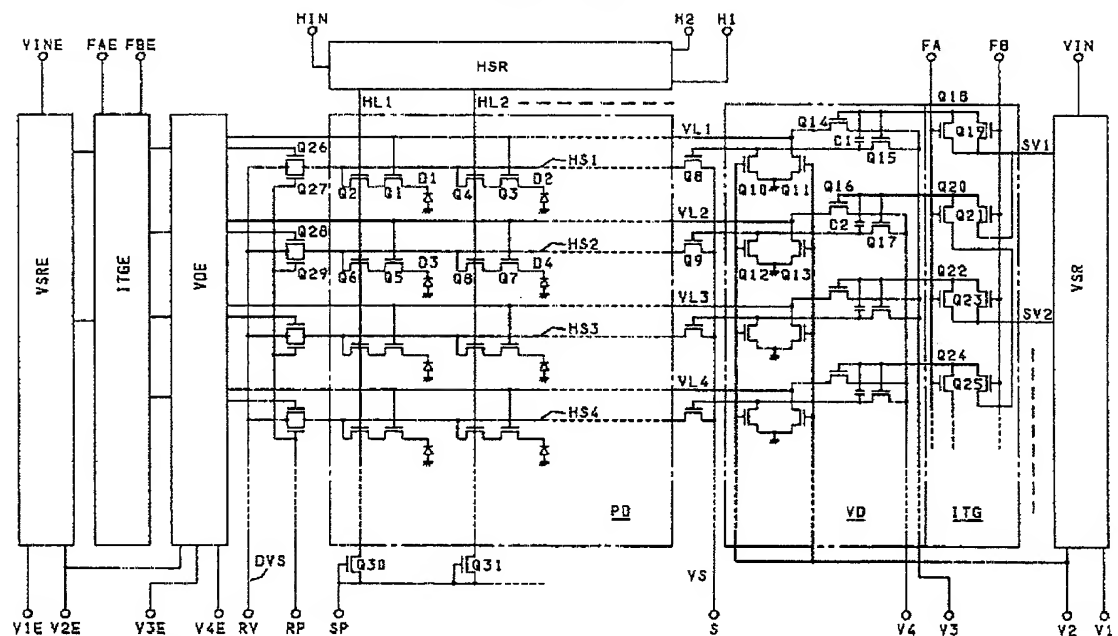
第 4 図



第 5 図



第 6 図



VRS: 読み出し用垂直シフトレジスタ
ITG: 読み出し用インテグレーション回路
VD: 読み出し用駆動回路
VSRE: 感度設定用垂直シフトレジスタ
ITGE: 感度設定用インテグレーション回路
VDE: 感度設定用駆動回路

HSR: 水平シフトレジスタ
PD: 画素アレイ